



1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-077133

(43)Date of publication of application : 16.03.1990

(51)Int.Cl.

H01L 21/321

(21)Application number : 63-229221

(71)Applicant : HITACHI LTD

(22)Date of filing : 13.09.1988

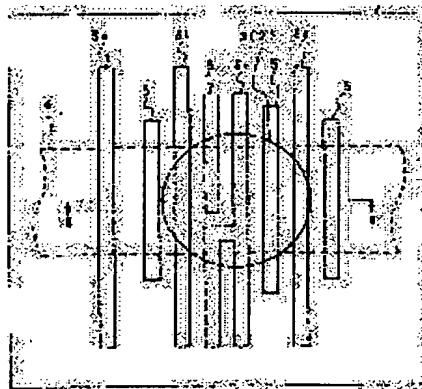
(72)Inventor : OWADA NOBUO
OGAYA KAORU
KOBAYASHI TORU
KAWAJI MOTONORI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To improve the connection reliability of a solder bump to be connected with the electrode pad on a multilayer interconnection by arranging dummy patterns in a spare region of a wiring layer below the highest layer wiring to which the solder bump is bonded.

CONSTITUTION: Below a solder bump 2, a fourth layer Al wiring (the highest layer wiring) 4 for supplying electric power extends in right and left direction, and the solder bump 2 is connected with said Al wiring. The line width of the Al wiring 4 is, e.g., in the range of more than ten μ m to several tens of μ m. Below the fourth layer Al wiring 4, third layer Al wirings 3a-3d for signal input and output extend in up and down direction at specific intervals. The Al wirings 3a-3d are narrower than the fourth Al wiring 4, and the line width is about several micrometers. In a spare region of the same wiring layer as the third Al wirings 3a-3d, a plurality of dummy patterns 5 constituted of the same layer aluminum as the Al wirings 3a-3d are spread in the same direction as the Al wirings 3a-3d. As a result, the increase of parasitic capacitances of the Al wirings 3a-3d is restrained to a minimum by arranging the dummy patterns 5.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3022565号
(P3022565)

(45) 発行日 平成12年3月21日 (2000.3.21)

(24) 登録日 平成12年1月14日 (2000.1.14)

(51) Int.Cl.⁷

識別記号

F I

H 0 1 L 21/60
21/3205H 0 1 L 21/92
21/886 0 2 Z
6 0 2 N
Z

請求項の数 2 (全 11 頁)

(21) 出願番号 特願昭63-229221

(22) 出願日 昭和63年9月13日 (1988.9.13)

(65) 公開番号 特開平2-77133

(43) 公開日 平成2年3月16日 (1990.3.16)

審査請求日 平成7年9月4日 (1995.9.4)

審判番号 平10-4549

審判請求日 平成10年3月26日 (1998.3.26)

(73) 特許権者 999999999

株式会社日立製作所

東京都千代田区神田駿河台4丁目6番地

(72) 発明者 大和田 伸郎

東京都青梅市今井2326番地 株式会社日

立製作所デバイス開発センタ内

(72) 発明者 大堀谷 薫

東京都青梅市今井2326番地 株式会社日

立製作所デバイス開発センタ内

(74) 代理人 999999999

弁理士 筒井 大和

合議体

審判長 内野 春喜

審判官 影山 秀一

審判官 能美 知康

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】 半導体基板の主面上に所望の複数の配線層を備えると共に、前記複数の配線層の最上層配線を覆う絶縁膜に開孔されたコンタクトホールの上部に、前記コンタクトホールの内部に蒸着形成された半田下地層を介して前記最上層配線と電気的に接続される複数の半田バンプを備えた半導体装置であって、前記最上層配線よりも下層の配線層の近傍の余領域のうち、前記半田バンプの下方およびその周辺に位置する領域に、前記最上層配線の延在方向と直交する方向に延在する下層の配線層に沿うように複数のダミーパターンを設けたことを特徴とする半導体装置。

【請求項2】 半導体基板の主面上にECLゲートアレイの配線層を構成する複数の配線層を備えると共に、前記複数の配線層の最上層配線を覆う絶縁膜に開孔されたコン

タクトホールの上部に、前記コンタクトホールの内部に蒸着形成された半田下地層を介して前記最上層配線と電気的に接続される複数の半田バンプを備えた半導体装置であって、前記最上層配線よりも下層の配線層の近傍の余領域のうち、前記半田バンプの下方およびその周辺に位置する領域に、前記最上層配線の延在方向と直交する方向に延在する下層の配線層に沿うように複数のダミーパターンを設けたことを特徴とする半導体装置。

【発明の詳細な説明】

45 【産業上の利用分野】

本発明は、半導体装置に関し、特に多層配線構造を備えた半導体集積回路の電極上に半田バンプを接続した半導体装置に適用して有効な技術に関するものである。

【従来の技術】

50 半導体装置の高密度化、高集積化に伴い、配線設計の

自由度の増大や配線遅延の低減などを目的とする配線の多層化が必須の技術となり、例えば、バイポーラトランジスタで構成された論理LSIでは、Al₄層配線構造が、また、MOSトランジスタで構成されたメガビット (Mbit) 級のメモリLSIでは、Al₃層配線構造が実現されている。

配線の多層化を実現する際の課題となるのは、層間絶縁膜の平坦化および層間接続孔 (スルーホール) の高信頼化であり、前者の対策としては、バイアスパッタ技術やSOG (Spin On Glass) 技術などが、また、後者の対策としては、選択CVDによるタングステン (W) の埋込み技術などがそれぞれ用いられている。

また、多層配線構造では、配線をパターンニングする際のレジスト膜の近接効果やAl膜をエッチングする際の速度差のため、同一配線層における配線密度の高い領域と低い領域とで、配線の仕上がり寸法、特に配線幅に差が生じてしまうという問題が指摘されている (特開昭60-119749号)。その対策として、上記特開昭60-119749号では、配線密度の低い領域に配線としての機能を有しないダミーベダスタルを配置することによって、同一配線層の配線密度を均一化する技術が開示されている。

一方、半導体ペレットの高密度実装に好適な方式として、いわゆるフリップチップ方式が知られている。これは、アルミニウム (Al) などの電極パッド上に半田バンプ (Bump, 突起電極) を接続し、この半田バンプを介して半導体ペレットを基板に表面実装する方式である。

上記フリップチップ方式については、例えばIBM社発行、「IBMジャーナル・オブ・リサーチ・アンド・デベロップメント, 13巻, No. 3 (IBM Journal of Research and Development, Vol. 13, No. 3)」P239~P250に詳細な記載がある。上記文献によれば、Al電極パッド上への半田バンプの接続は、次のようにして行われる。

まず、スパッタ法で形成したSiO₂からなるパッシベーション膜の所定箇所をエッチングで開孔し、最上層のAl配線を露出させてAl電極パッドを形成する。次に、このAl電極パッドの表面にクロム (Cr) / 銅 (Cu) / 金 (Au) などの金属層からなる半田下地層 (BLM: Bump Limiting Metallurgy) を蒸着形成する。この半田下地層は、半田バンプとAl電極パッドとの合金化反応を防止し、併せてAl電極パッド上に被着する半田のぬれ性を向上させるためのバリア層である。

次に、この半田下地膜の表面にスズ (Sn) / 鉛 (Pb) 合金からなる半田を選択的に蒸着した後、リフロー炉内でこの半田をウェットバックして半球状の半田バンプを形成する。

〔発明が解決しようとする課題〕

本発明者は、Al₄層配線のような多層配線構造を備えた半導体装置のAl電極パッド上に半田バンプを接続しようとする場合には、下記のような問題が生ずることを見出した。

すなわち、配線の多層化が進行すると、それにつれて

複数の下層配線同士の重なりによる下地の段差が累積的に増大し、最大層配線やパッシベーション膜の平坦度が低下するようになる。特に、バイポーラトランジスタで構成した論理LSIは、配線遅延の防止やエレクトロマイグレーション耐性

の見地から、配線の膜厚を大きくしているため、平坦度の低下が一層顕著となる。最上層配線の平坦度が低下すると、パッシベーション膜を開孔して形成したAl電極パッドの底部に大きな段差が生ずるため、このAl電極パッドの表面に蒸着される半田下地層の被着性が低下する。その結果、半田下地層の上に接続された半田バンプの内部にボイドやクラックなどの欠陥が発生し、半田バンプの接続信頼性が著しく低下する。

また、パッシベーション膜の平坦度が低下すると、例えば第8図のように、半田バンプ40が隣接する配線41, 41を跨ぐような位置に配置された場合には、パッシベーション膜42の段差部Aにおいて半田下地層43の被着性が低下するため、その上に接続される半田バンプ40の内部にボイドやクラックなどの欠陥が発生し易くなり、その接続信頼性が著しく低下してしまう。

本発明は、これらの問題点に着目してなされたものであり、その目的は、多層配線上の電極パッドに接続される半田バンプの接続信頼性を向上させることのできる技術を提供することにある。

本発明の前記並びにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

すなわち、本願の一発明である半導体装置は、半導体基板の主面上に所望の複数の配線層を備えると共に、前記複数の配線層の最上層配線を覆う絶縁膜に開孔されたコンタクトホールの上に、前記コンタクトホールの内部に蒸着形成された半田下地層を介して前記最上層配線と電気的に接続される複数の半田バンプを備えており、前記最上層配線よりも下層の配線層の近傍の領域のうち、前記半田バンプの下方およびその周辺に位置する領域に、前記最上層配線の延在方向と直交する方向に延在する下層の配線層に沿うように複数のダミーパターンを設けたものである。

〔作用〕

上記した手段によれば、半田バンプが形成される領域の最上層配線の下方およびその周囲の下層配線密度が高くなるために、この領域の下層配線層の上に被着される絶縁膜の表面がほぼ完全に平坦化される。これにより、半田バンプが形成される領域の最上層配線の表面が平坦になるので、コンタクトホールの内部に蒸着形成される半田下地層の被着性が向上する結果、半田下地層の上に接続される半田バンプの内部にボイドやクラックが発生

するのを防止することができる。

[実施例1]

第1図は、本発明の一実施例である半導体装置におけるダミーパターンの配置を示す半導体ペレットの要部平面図、第2図は、第1図II-II線の断面図、第3図は、本実施例の半導体ペレットを示す平面図、第4図は、本実施例のECL3入力ORゲートを示す回路図である。

本実施例1の半導体装置は、例えばA14層配線構造を備えたECL (Emitter Coupled Logic) ゲートアレイである。

第3図に示すように、このECLゲートアレイにおいては、例えばp形シリコン単結晶からなる半導体ペレット1の全面に多数の半田バンプ2が形成されている。これらの半田バンプ2は、ECLゲートアレイの電源である負電位 V_{EE} 、負電位 V_{TT} 、 V_{CC} などを供給するための半田バンプと、信号を入出力するための半田バンプとによって構成され、この第3図では図示しない第4層A1配線を介してECLゲートアレイの内部回路に接続されている。

第1図は、1つの電源供給用半田バンプ2の下方領域における第3層A1配線3a~3dの配置を示すものである。半田バンプ2は、図の実線で囲まれた領域Bに配置されており、半田バンプ2の下方には、この半田バンプ2が接続される電源供給用の第4層A1配線（最上層配線）4が、図の左右方向に延在している。このA1配線4の線幅は、例えば数十 μm ~数十 μm である。

第4層A1配線4の下方には、信号入出力用の第3層A1配線3a~3dが所定の間隔を置いて図の上下方向に延在している。A1配線3a~3dは、第4層A1配線4よりも細く、その線幅は、例えば数 μm である。

本実施例1においては、第3層A1配線3a~3dと同一の配線層の余領域に、例えばこのA1配線3a~3dと同一層のアルミニウムで構成された複数本のダミーパターン5がA1配線3a~3dと同一の方向に延在している。各ダミーパターン5は、隣接するA1配線またはダミーパターン5との間隔がほぼ等しくなるような位置にそれぞれ配設されている。ダミーパターン5は、例えば一つのレジスタマスクを用いて第3層A1配線3a~3dと同一工程で作成される。

ダミーパターン5は、いずれもフローティング状態で配設され、従って、配線としての機能は有していない。また、半田バンプ2の下方領域とその近傍にのみ配設されており、他の領域には配設されていない。従って、ダミーパターン5を配設したことにより増加するA1配線3a~3dの寄生容量は、最小限に抑えられている。

第2図は、上記半田バンプ2の下方領域の断面図である。

すなわち、半導体ペレット1の表面には、例えばn形の埋込み層6が形成され、その上層には、例えばn形シリコンからなるエピタキシャル層7が形成されている。このエピタキシャル層7の所定箇所には、例えばSiO₂か

らなるフィールド絶縁膜8が形成され、これにより、素子間および素子内が分離されている。フィールド絶縁膜8の下方には、例えばp形のチャネルストップ層9が形成されている。

05 フィールド絶縁膜8で囲まれた領域のエピタキシャル層7中には、例えばp形の真性ベース領域10と、例えばp形のグラフトベース領域11とが形成され、真性ベース領域10中には、例えばn形のエミッタ領域12が形成されている。

10 そして、このエミッタ領域12と、真性ベース領域10と、真性ベース領域10の下方におけるエピタキシャル層7および埋込み層6からなるコレクタ領域とによって、npn形バイポーラトランジスタが構成されている。

本実施例1においては、このnpn形バイポーラトランジスタおよび図示しない抵抗をそれぞれ複数個用いて、例えば第4図に示すようなECL3入力ORゲートが構成され、このECL3入力ORゲートによってゲートアレイが構成されている。なお、第4図において、 V_{BB} は、例えば-1.2Vであり、 V_{CS} は、例えば-1.85Vである。

20 前記第2図において、埋込み層6の一部には、例えばn形のコレクタ取り出し領域13が接続されている。

フィールド絶縁膜8に連なって形成された、例えばSiO₂からなる絶縁膜14には、前記グラフトベース領域11、エミッタ領域12およびコレクタ取り出し領域13に対応してそれぞれコンタクトホール15a~15cが開孔されている。

25 そして、コンタクトホール15aを介してグラフトベース領域11に、例えばポリシリコン膜からなるベース引き出し電極16が接続され、また、コンタクトホール15bを介してエミッタ領域12上に、例えばポリシリコンからなるエミッタ電極17が形成されている。

18, 19は、例えばSiO₂からなる絶縁膜であり、その上層には、例えばAl-Si-Cu合金の下層にTiN（チタンナイトライド）などのバリアメタルを敷いた第1層A1配線20a~20dが形成されている。このうち、A1配線20aは、絶縁膜19に開孔されたスルーホール21aを介してベース引き出し電極16に、A1配線20bは、スルーホール21bを介してエミッタ電極17に、A1配線20cは、スルーホール21cおよび前記コンタクトホール15cを介してコレクタ取り出し領域13にそれぞれ接続されている。

30 第1層A1配線20a~20dの上層には、例えばプラズマCVDで被着した窒化シリコンと、SOG (Spin On Glass) と、プラズマCVDで被着したSiO₂とを積層してなる第1層間絶縁膜22が形成されている。この層間絶縁膜22の上層には、例えばAl-Si-Cu合金からなる第2層A1配線23a, 23bが配設され、そのうち、例えばA1配線23aは、層間絶縁膜22に形成されたスルーホール24を介して第1層A1配線20aに接続されている。

45 第2層A1配線23a~23bの上層には、例えば前記第1層間絶縁膜22と同様な第2層間絶縁膜25が形成されてい

る。この層間絶縁膜25の上層には、例えばAl-Si-Cu合金からなる第3層Al配線3a~3eが配設され、そのうち、例えばAl配線3aは、層間絶縁膜25に開孔されたスルーホール26を介して第2層Al配線23aに接続されている。

第3層Al配線3a~3eと同一の配線層の余領域において、半田バンプ2の下方領域とその近傍には、前記複数本のダミーパターン5がAl配線3a~3eと交互に配設されている。すなわち、Al配線3a~3eのそれぞれの間にダミーパターン5を配設したことにより、半田バンプ2の下方領域とその近傍においては、同一配線層の他の量に比べて配線（ダミーパターンを含む）が高密度、かつ、均一に配設されている。

第3層Al配線3a~3eおよびダミーパターン5の上層には、前記第1層間絶縁膜22および第2層間絶縁膜25と同様な第3層間絶縁膜27が形成されている。そして、半田バンプ2の下方領域とその近傍では、第3層Al配線3a~3eとダミーパターン5とが高密度に配設されているため、第3層間絶縁膜27の表面は、ほぼ完全に平坦化されている。

第3層間絶縁膜27の上層には、例えばAl-Si-Cu合金からなる電源供給用の第4層Al配線4が配設されている。このAl配線4は、大電流を流すことができるよう、その線幅および厚さが下層（第1層~第3層）のAl配線よりも大きく構成されている。そして、半田バンプ2の下方領域とその近傍では、Al配線4の下地となる第3層間絶縁膜27の表面がほぼ完全に平坦化されているため、第4層Al配線4もほぼ完全に平坦化されている。

第4層Al配線4の上層には、例えばバイアススパッタで被着したSiO₂からなるパッシベーション膜28が被着され、このパッシベーション膜28の所定箇所を開孔してコンタクトホール29が形成されている。このコンタクトホール29の底部には、第4層Al配線4の一部が露出しており、この露出した箇所がAl電極パッド30になっている。そして、このAl電極パッド30は、前記した理由から、その表面がほぼ完全に平坦化されている。

Al電極パッド30の表面と、コンタクトホール29の側壁および上縁部とは、例えばクロム（Cr）／銅（Cu）／金（Au）を順次積層してなる薄い半田下地層31が均一に蒸着形成されている。

半田下地層31の上には、例えばスズ（Sn）／鉛（Pb）合金からなる半球状の半田バンプ2が接続されている。この半田バンプ2は、例えば半導体ペレット1の全面にホトレジスト（図示せず）を被着してコンタクトホール29の上方をエッチングで開孔し、次いで半導体ペレット1の全面に半田を蒸着した後、エッチバックで上記ホトレジストおよびその表面の半田を除去し、次いで、コンタクトホール29の内部に残った半田をリフロー炉内でウェットバックして形成したものである。

以上の構成からなる本実施例1によれば、下記のような効果を得ることができる。

（1）、半田バンプ2の下方に位置する第3層Al配線3a~3eの余領域にダミーパターン5を配設したことにより、配線（ダミーパターンを含む）密度が高くなる結果、この配線層の上に被着された層間絶縁膜27の表面が平坦化される。

これにより、層間絶縁膜27の上に配設された第4層配線4の表面が平坦化されるため、Al電極パッド30の表面に蒸着形成される半田下地層31の被着性が向上する。

（2）、上記（1）により、半田下地層31の上に接続された半田バンプ2の内部にボイドやクラックなどの欠陥が発生するのを防止することができ、半田バンプ2をAl電極パッド30の上に接続する際の接続信頼性が向上する。

（3）、上記（2）により、ECLゲートアレイを基板に実装する際の接続信頼性が向上する。

（4）、上記（2）により、ECLゲートアレイの多層化が促進される。

【実施例2】

第5図は、本発明の他の実施例である半導体装置におけるダミーパターンの配置を示す半導体ペレットの要部平面図である。

本実施例2の半導体装置は、前記実施例1と同じくAl4層配線構造を備えたECLゲートアレイであり、実施例1との相違点は、下記のとおりである。

すなわち、第5図は、1つの電源供給用半田バンプ2の下方領域における第3層Al配線3a~3dと、さらにその下方の第2層Al配線23a~23fの配置を示すものである。半田バンプ2は、図の実線で囲まれた領域Bに位置しており、半田バンプ2の下方には、図示しない第4層目の電源供給用Al配線が、図の左右方向に延在している。この第4層Al配線の線幅は、前記実施例1と同じく、例えば数十μm~数十μmである。

第4層Al配線の下方には、信号入出力用の第3層Al配線3a~3dが所定の間隔を置いて図の上下方向に延在している。これらのAl配線3a~3dの線幅は、前記実施例1と同じく、例えば数μmである。

第3層Al配線3a~3dの下方には、信号入出力用の第2層Al配線23a~23fが所定の間隔を置いて図の左右方向に延在している。これらのAl配線23a~23fの線幅は、第3層Al配線3a~3dと同じく、例えば数μmである。

本実施例2では、第3層Al配線3a~3dが配設された配線層において、第3層Al配線3a~3dの余領域とその下方の第2層Al領域23a~23fの余領域の両者の余領域に第3層Al配線3a~3dと同一の材料で構成された矩形のダミーパターン5が島状に多数配設されている。

ダミーパターン5は、フローティング状態になっており、配線としての機能は有していない。また、半田バンプ2の下方領域とその近傍にのみ配設されており、他の領域には配設されていない。さらに、第3層Al配線3a~3dと第2層Al領域23a~23fとの両者の余領域にのみ配設

されている。従って、その占有面積は、前記実施例1のダミーパターン5のそれよりも小さく、ダミーパターン5を配設したことにより増加するA1配線3a~3dの寄生容量は、実施例1の場合よりもさらに小さく抑えられている。

なお、本実施例2のECLゲートアレイは、上記した点を除いては、前記実施例1のECLゲートアレイと同一の構成となっているため、同一構成部分の説明は省略する。

本実施例2のように、第3層A1配線3a~3dと第2層A1配線23a~23fとが重なった領域の余領域にのみダミーパターン5を配設した場合においては、実施例1と比較して、配線寄生容量が低減できるとともに、第2層目、第3層目がゲートアレイのチャネル用配線の場合では、ダミーパターンが半田バンプ直下と同様に固定パターンとなるため、ダミーパターンを発生させるための特別な処理が不要となる。

〔実施例3〕

第6図は、本発明の他の実施例におけるパッシベーション膜の段差を示す半導体ペレットの部分断面図である。

本実施例3の半導体装置は、前記実施例1または実施例2のECLゲートアレイにおける第4層A1配線4の側壁に傾斜を設けたものである。

ECLゲートアレイなどにおいては、半田バンプ2がA1配線4の真上に配置されず、例えば第6図に示すように、二本のA1配線4,4を跨ぐような位置に配置される場合がしばしばある。これは、半田バンプ2の間隔が一定の場合であっても、A1配線4の線幅や間隔は、デバイスによって異なるためである。

このような場合には、前記実施例1または実施例2のように、半田バンプ2を接続するA1配線4の下方領域にダミーパターン5を配設しただけでは、半田下地層31の被着性が良好にならないこともある。

すなわち、第8図を用いてすでに説明したように、配線41と配線41との間に段差が生じているような場合には、パッシベーション膜42の段差部Aにおいて半田下地層43の被着性が低下するため、その上に接続される半田バンプ40の内部にボイドやクラックなどの欠陥が発生し易くなり、その接続信頼性が著しく低下してしまうからである。

そこで、本実施例3では、A1配線4の側壁に傾斜を設けた。これにより、A1配線4の上に被着されるパッシベーション膜28の段差被覆性が向上する結果、配線4と配線4との間に段差が生じている場合においても、半田下地層43の被着性が良好になり、半田バンプ2の接続信頼性が向上する。

A1配線4の側壁に傾斜を設けるには、例えばウエットエッチングなどのような等方性エッチングでパターンニングを行えばよい。その際、側壁の傾斜角 θ は、例えば50

~70度程度でよい。

なお、本実施例3のECLゲートアレイは、上記した点を除いては、前記実施例1または実施例2のECLゲートアレイと同一の構成となっているため、同一構成部分の説明は省略する。

A1配線4の側壁に傾斜を設けることにより、さらに次のような効果を得ることもできる。

従来、半田バンプを接続する半導体装置では、パッシベーション膜をバイアススパッタで被着していた。これは、バイアススパッタで被着したパッシベーション膜は、CVDで被着したパッシベーション膜よりも段差被覆性が良いからである。

しかし、バイアススパッタは、薄膜の堆積とエッチングとが平行して行われる成膜法であるため、CVDに比べてスループットが低いという欠点がある。

ところが、A1配線4の側壁に傾斜を設ける本実施例3によれば、パッシベーション膜28をCVDで被着する場合においても、良好な段差被覆性が得られる。

すなわち、本実施例3によれば、成膜速度の大きいCVDで良好な段差被覆性を備えたパッシベーション膜28を形成することができるため、半田バンプ2の接続信頼性の向上と、パッシベーション膜28の成膜工程の短縮化とを併せて達成することが可能となる。

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は、前記実施例1~3に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

例えば、実施例1~3のダミーパターンは、フローティング状態で配設されていたため、配線としての機能は有していないが、第7図に示すように、第3層配線3b~3dなどの一部に設けた分岐でダミーパターン5を構成してもよい。

実施例1~3では、第3層目の配線層にダミーパターンを配設したが、第2層目または第1層目の配線層にダミーパターンを配設してもよく、また、複数の配線層にダミーパターンを配設してもよい。

以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野である4層A1配線を備えたECLゲートアレイに適用した場合について説明したが、本発明は、これに限定されるものではなく、例えば、4層以上の多層配線構造を備えたゲートアレイや、ゲートアレイ以外の論理LSIなどに適用できることはいうまでもない。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

すなわち、半田バンプが接合される最上層配線の下方の配線層の余領域にダミーパターンを配設することにより、最上層配線を平坦化することができるため、電極パ

ッドの表面に蒸着される半田下地層の被着性が良好になり、半田バンプの接続信頼性を向上させることができる。

【図面の簡単な説明】

第1図は本発明の一実施例である半導体装置におけるダミーパターンの配置を示す半導体ペレットの要部平面図、

第2図は第1図II-II線の断面図、

第3図は本実施例の半導体ペレットを示す平面図、

第4図は本実施例のECL3入力ORゲートを示す回路図、

第5図は本発明の他の実施例である半導体装置におけるダミーパターンの配置を示す半導体ペレットの要部平面図、

第6図は本発明の他の実施例におけるパッシベーション膜の段差を示す半導体ペレットの部分断面図、

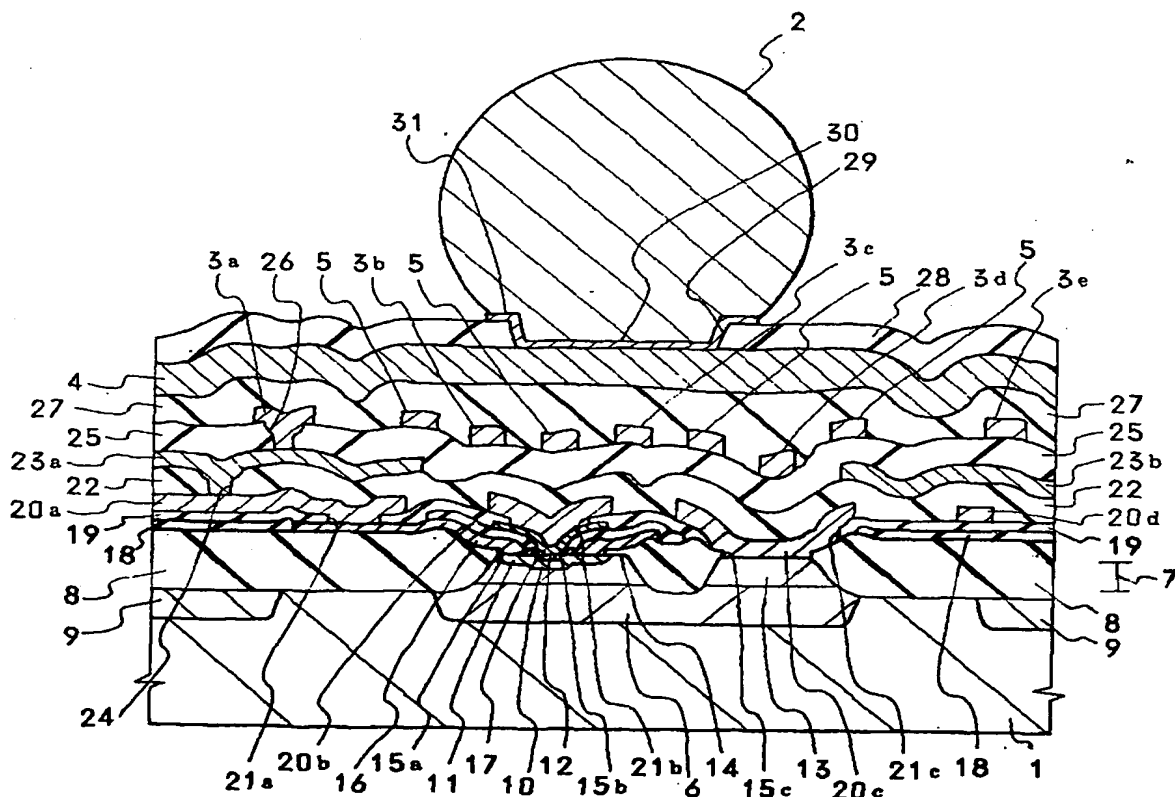
第7図は本発明の他の実施例である半導体装置におけるダミーパターンの配置を示す半導体ペレットの要部平面

図、

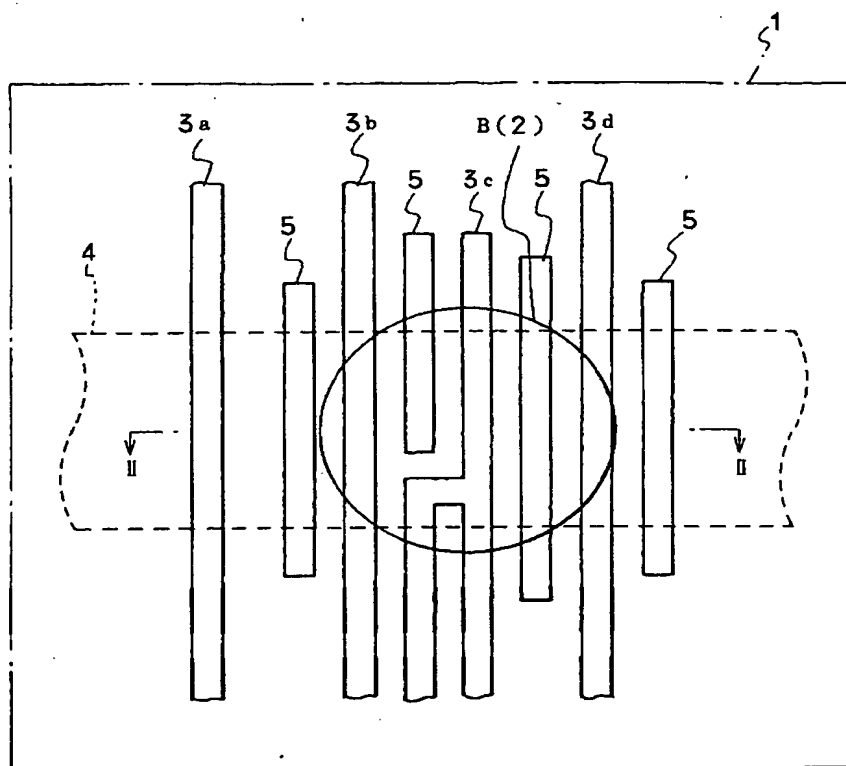
第8図は従来の半導体装置におけるパッシベーション膜の段差を示す半導体ペレットの部分断面図である。

1……半導体ペレット、2, 40……半田バンプ、3a～3e……第3層A1配線、4……第4層A1配線（最上層配線）、5……ダミーパターン、6……埋込み層、7……エピタキシャル層、8……フィールド絶縁膜、9……チャネルストップ層、10……真性ベース領域、11……グラフトベース領域、12……エミッタ領域、13……コレクタ取り出し領域、14, 18, 19……絶縁膜、15a～15c, 29……コンタクトホール、16……ベース引き出し電極、17……エミッタ電極、20a～20d……第1層A1配線、21a～21c, 24, 26……スルーホール、22……第1層間絶縁膜、23a～23f……第2層A1配線、25……第2層間絶縁膜、27……第3層間絶縁膜、28, 42……パッシベーション膜、30……A1電極パッド、31, 43……半田下地層、41……配線。

【第2図】

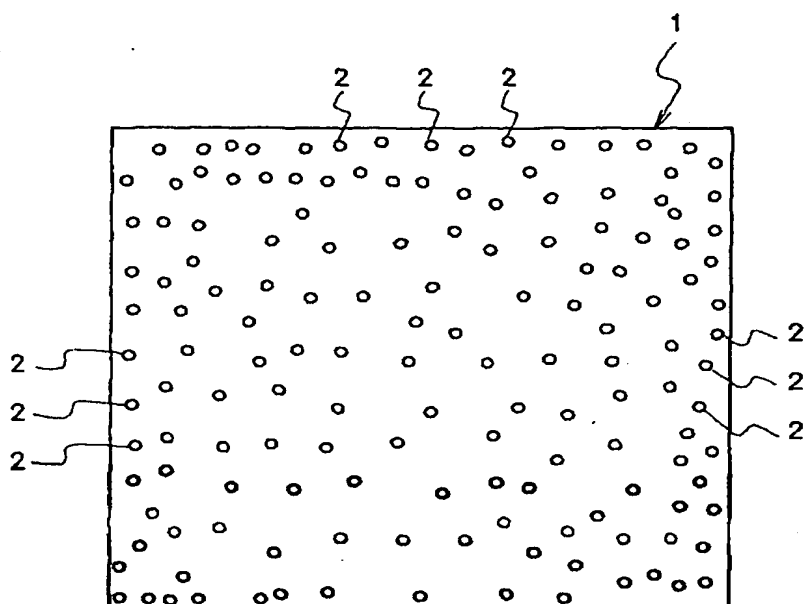


【第1図】

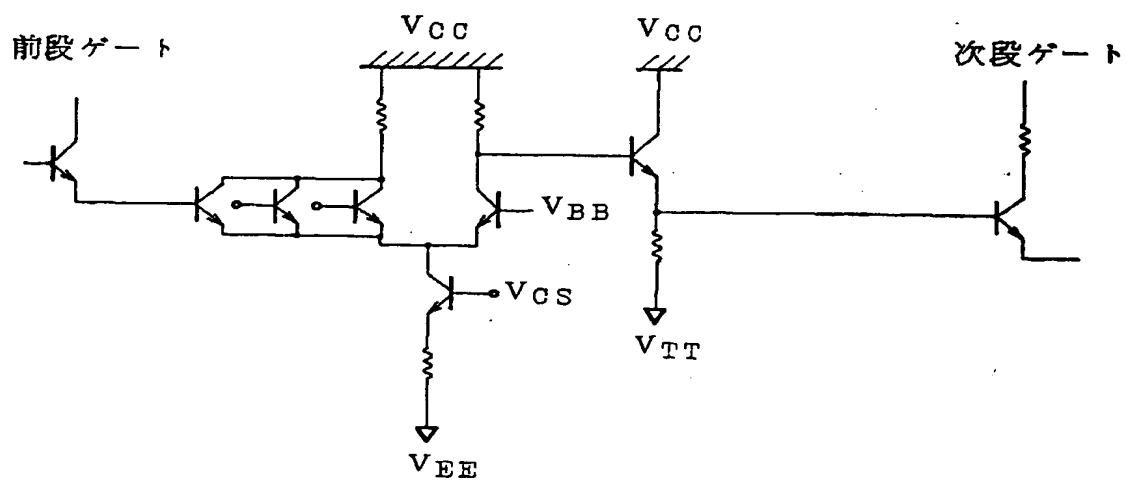


- 1...半導体ベレット
- 2...半田パンフ
- 3a ~ 3e...第3層Al配線
- 4...第4層Al配線(最上層配線)
- 5...ダミーパターン

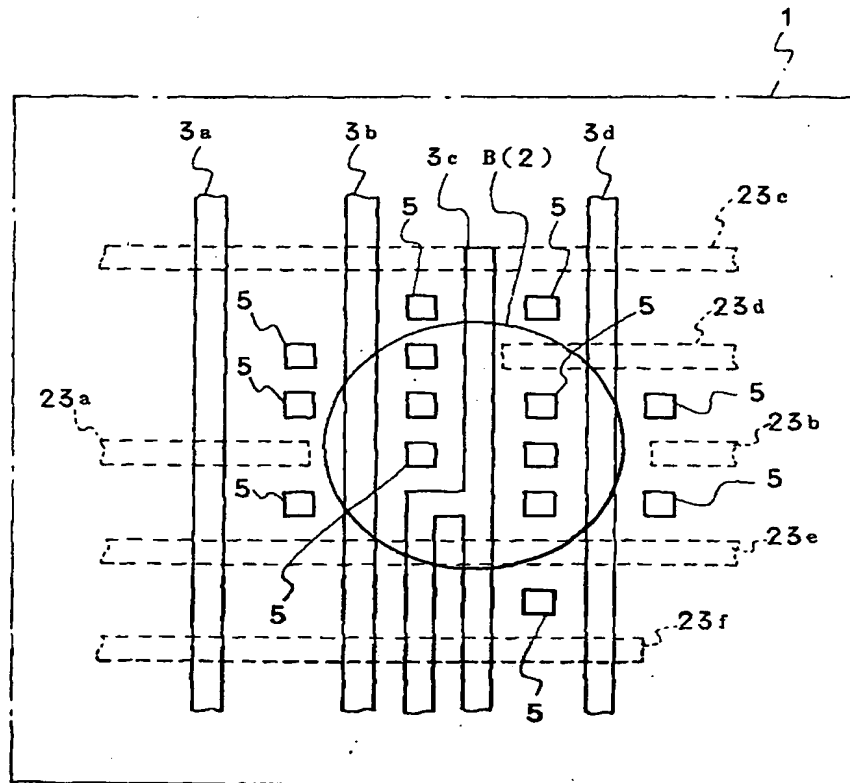
【第3図】



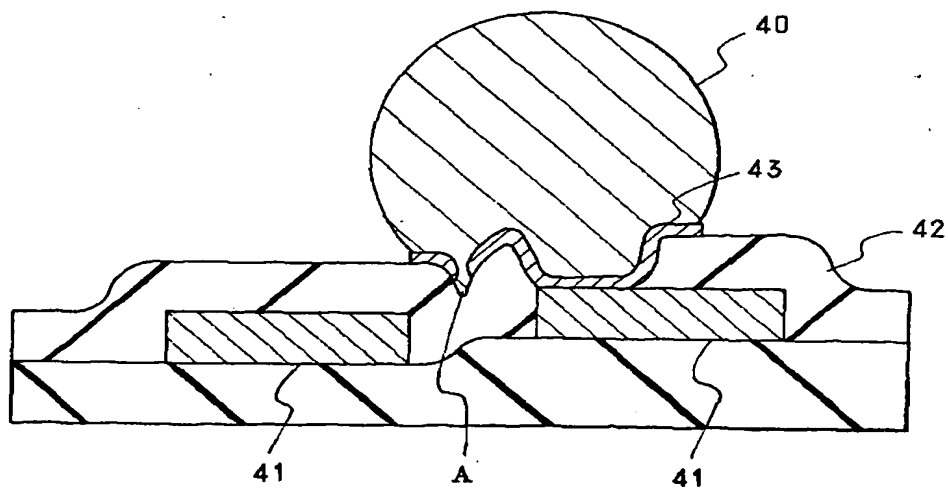
【第4図】



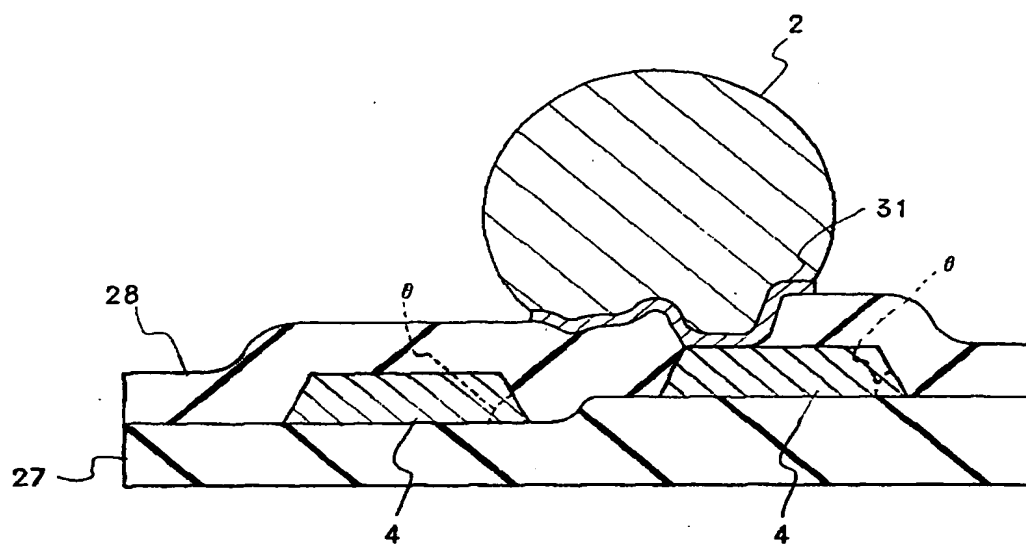
【第5図】



【第8図】

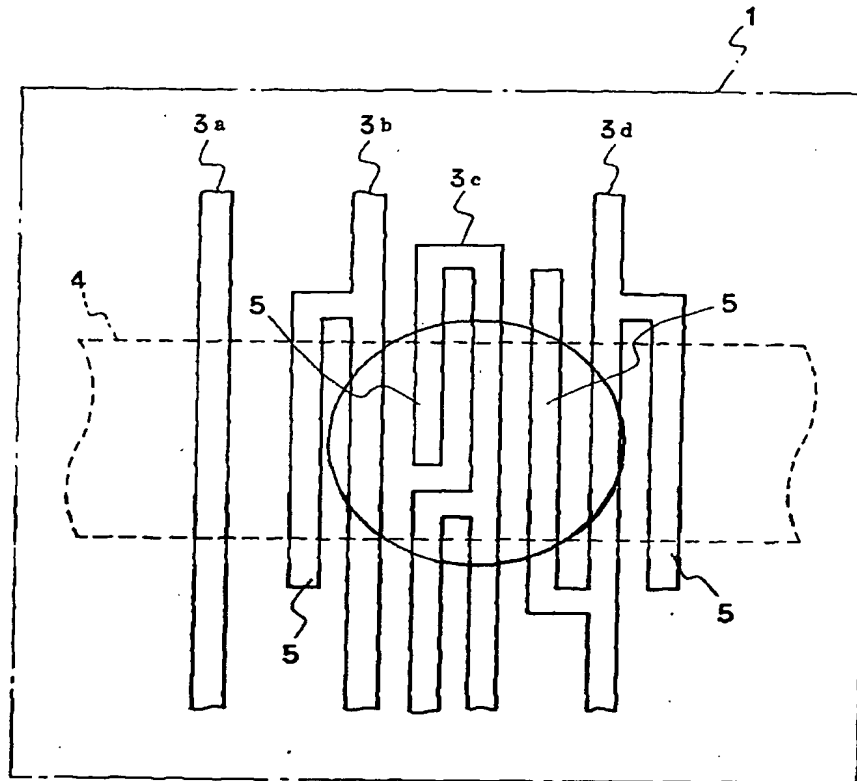


【第6図】



31…半田下地層

【第7図】



フロントページの続き

(72)発明者 小林 徹
東京都青梅市今井2326番地 株式会社日
立製作所デバイス開発センタ内

35

(72)発明者 河路 幹規
東京都青梅市今井2326番地 株式会社日
立製作所デバイス開発センタ内

(56)参考文献 特開 昭59-188143 (J P, A)
特開 昭60-119749 (J P, A)
特開 昭62-194640 (J P, A)